

(8)  
- C

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270693

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-093102

(71)Applicant : TOYOTA CENTRAL RES &amp; DEV LAB INC

(22)Date of filing : 27.03.1997

(72)Inventor : KAWAJI SACHIKO  
KIGAMI MASAHIRO  
UESUGI TSUTOMU

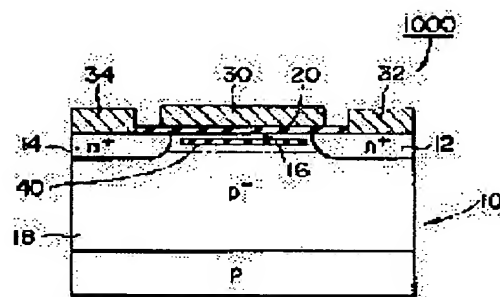
## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce a channel capacitance and to obtain a high drain current by a low gate voltage, by forming an insulating layer facing a gate insulating film, inside or in the vicinity of a channel region.

SOLUTION: In a MOS transistor 1000 for example, first of all, a p- type body region 18 is formed in a p type silicon substrate 10. Next, on the surface side of the body region 18, a source region 12 composed of an n+ type impurity diffused layer and a drain region 14 are formed at a specified interval.

Besides, a gate insulating film 20 is formed on the silicon substrate 10 so as to be between the source region 12 and the drain region 14. In the body region 18 just under the gate insulating film 20, a channel region 16 is constituted. And in this channel region 16 an insulating layer 40 is formed. At this time, the insulating layer 40 is formed facing the gate insulating film 20, namely along the direction of a channel to be formed in the channel region 16.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270693

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 H

3 0 1 X

審査請求 未請求 請求項の数1 F D (全 8 頁)

(21) 出願番号 特願平9-93102

(22) 出願日 平成9年(1997)3月27日

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番  
地の1

(72) 発明者 河路 佐智子

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72) 発明者 樹神 雅人

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72) 発明者 上杉 勉

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

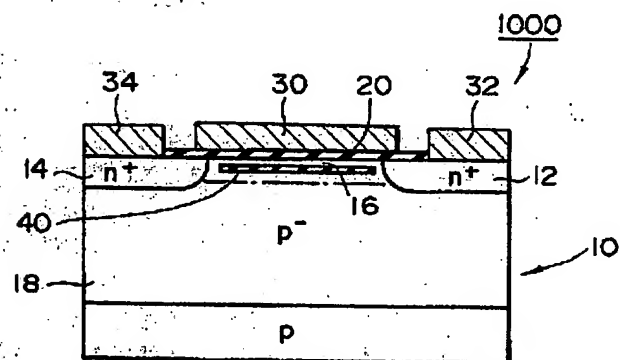
(74) 代理人 弁理士 布施 行夫 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 オフ耐圧が高く、かつ相互コンダクタンスが高い、MOSゲート構造を有する半導体装置を提供する。

【解決手段】 半導体装置1000は、p型のシリコン基板10、シリコン基板10内に離間して形成された、n型の不純物拡散層からなるソース領域12およびドレイン領域14、ソース領域12とドレイン領域14との間に形成されたチャネル領域16、およびチャネル領域16に接して形成されたゲート絶縁膜20を含む。前記チャネル領域16の内部あるいは近傍に、ゲート絶縁膜20に対向する状態で絶縁層40が形成されている。



## 【特許請求の範囲】

## 【請求項1】 第1導電型の半導体基板、

前記半導体基板内に離間して形成された、第2導電型の不純物拡散層からなるソース領域およびドレイン領域、前記ソース領域と前記ドレイン領域との間に形成されたチャネル領域、および前記チャネル領域に接して形成されたゲート絶縁膜を含み、  
前記チャネル領域の内部あるいは近傍に、前記ゲート絶縁膜に対向する状態で絶縁層が形成されたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置、特に高耐压でしかも高速スイッチング性に優れた半導体装置に関する。

## 【0002】

【背景技術】従来より、MOSゲート構造を有する半導体装置は、高速スイッチング素子として用いられおり、今後も各種用途への幅広い適用が期待されている。

【0003】図12に、従来の一般的なnチャネルMOSトランジスタの基本構造が示されている。同図に示す素子は、p型の半導体基板10の表面に、n<sup>+</sup>型のソース領域12およびドレイン領域14が形成され、これらのソース領域12およびドレイン領域14に挟まれるように、チャネル領域16が形成されている。そして、このチャネル領域16の形成された半導体基板10の表面には、ゲート絶縁膜20が形成され、このゲート絶縁膜20の上にはゲート電極30が形成されている。また、ソース領域12およびドレイン領域14の上には、それぞれソース電極32およびドレイン電極34が形成されている。

【0004】次に、このMOSトランジスタの作用を説明する。

【0005】このMOSトランジスタは、ゲート電極30がフローティングの場合もしくはしきい値電圧より小さい電圧が加えられている状態では、ソース領域12ードレイン領域14間には電流が流れず、オフ状態に制御される。ソース電極32を基準として、ゲート電極30およびドレイン電極34を正極性にとすると、ソース領域12ードレイン領域14間（チャネル領域16）に電流が流れ、オン状態に制御される。そして、再び、ゲート電極30をフローティング状態もしくはしきい値電圧より小さい電圧に設定すると、ソース領域12ードレイン領域14に電流が流れず、オフ状態に戻すことができる。

【0006】このようなMOSトランジスタのオン、オフ制御は以下のようにして制御される。

【0007】すなわち、ゲート電極30に正の電圧を印加することによって、チャネル領域16において少数キャリアが表面に引き寄せられ、チャネル領域表面にはチャネル領域16と反対の導電型に反転した、薄い電荷層（nチャネル）が形成される。このように、ゲート電極30を正極性とするることにより、ソース領域12ードレイン領域14間はチャネル領域16を挟んでオン状態となる。また、同時にドレイン電極34に正の電圧を印加することにより、チャネル領域16の電位がドレイン領域14からソース領域12に向かって電位勾配を有する。この電位勾配によって、チャネル領域16表面に形成された反転層に電子がドリフト電流として流れ、そして、ドレイン電流はドレイン電圧に比例して流れる。

【0008】このように、MOSトランジスタは、ゲート電圧（VG）およびドレイン電圧（VD）によって、ドレイン電流（ID）を制御することができる。

【0009】ところで、MOSトランジスタを例えば高速スイッチング素子として用いる場合、オフ状態でのソース領域ードレイン領域間の耐压（以下、これを「オフ耐压」と記す）が極めて重要な因子となる。このため、従来の一般的なMOSトランジスタでは、オフ耐压を確保するために、ある程度高い不純物濃度を有するチャネル領域が必要であった。しかし、チャネル領域の不純物濃度を高くすることは、素子のオン電圧を高くし、相互コンダクタンス（gm）の低下を招く。相互コンダクタンス（gm）の低下は、ドレイン電流の制御のために、より高いゲート電圧を必要とし、このゲート電圧の増加と共に、MOSトランジスタを含む制御回路全体の電力損失が増大するという問題があった。このように、MOSトランジスタの相互コンダクタンス（gm）を高くすることと、オフ耐压を高くすることとは、トレードオフの関係にある。

【0010】このような問題を解決する方法として、すなわち、オフ耐压を確保しつつ、かつ相互コンダクタンスを高める方法として、例えば、チャネル領域の不純物濃度をチャネル領域表面から半導体基板の内部に向かって変化させる方法が知られている。この方法では、電子電流の輸送されるチャネル領域の最表面におけるチャネル不純物の濃度を低くし、電子電流の輸送にあまり寄与しないチャネル領域の表面から離れた領域においては不純物濃度を高くし、不純物プロファイルをチャネル領域の深さ方向に変化させることにより、オフ耐压を確保しつつ比較的低いオン電圧を得ることが可能となる。しかし、この方法では、不純物プロファイルの制御に技術的な限界があること、また半導体基板へのリーク電流が増加することなど、いくつかの問題があげられている。

【0011】

【発明が解決しようとする課題】本発明は、オフ耐压が高く、かつ相互コンダクタンスが高い、MOSゲート構造を有する半導体装置を提供することにある。

【0012】

【課題を解決するための手段】本発明に係る半導体装置は、第1導電型の半導体基板、前記半導体基板内に離間

して形成された、第2導電型の不純物拡散層からなるソース領域およびドレイン領域、前記ソース領域と前記ドレイン領域との間に形成されたチャネル領域、および前記チャネル領域に接して形成されたゲート絶縁膜を含み、前記チャネル領域の内部あるいは近傍に、前記ゲート絶縁膜に対向する状態で絶縁層が形成されたことを特徴とする。

【0013】この半導体装置によれば、チャネル領域の内部あるいは近傍に、ゲート絶縁膜に対向する状態すなわちチャネル領域に形成されるチャネル方向に沿って絶縁層が形成されることにより、チャネル領域での反転層の形成が容易となり、高い相互コンダクタンスを得ることができる。このような効果が得られる理由としては以下のことが考えられる。

【0014】図1は、理想的なp型半導体のMOSダイオードのエネルギーバンド図を示している。図1において、符号100は金属層、200は酸化膜（ゲート絶縁膜）、700はp型半導体層を示し、金属層100に正の電圧VGが印加された状態を示している。図1に示すエネルギー状態では、酸化膜200の表面では、フェルミ準位 $E_F$ が真性フェルミ準位 $E_i$ より高く、電子（少数キャリア）の数は正孔（多数キャリア）より多く、反転層 $x$ が形成されている。そして、金属層（ゲート電極）100に印加される正の電圧VGをさらに大きくすると、バンドの曲がり方がさらに急勾配になり、いわゆる弱い反転から強い反転へと移行し、MOSTランジスタにおいてしきい値電圧を印加した状態となる。

【0015】図2は、本発明の半導体装置を構成するMOSダイオードのエネルギーバンド図を、図1と比較して示す。図2において、符号100は金属層（ゲート電極）、符号200は酸化膜（ゲート絶縁膜）、700はp型半導体層および300は半導体基板内に埋め込まれた絶縁層を示す。

【0016】図2に示すように、本発明の半導体装置においては、チャネル領域を構成する半導体層700と絶縁層300との界面領域では、半導体層700と酸化膜（ゲート絶縁膜）200との界面領域と同様に下向きのバンドの曲がりが発生し、エネルギー帯の両端が低下する。このことは、絶縁層300がない構造の素子に比べ、低いゲート電圧でチャネル領域に反転層が形成されることを意味し、すなわち、絶縁層300を有さない構造の素子より相対的に低いゲート電圧で効率的に反転層を形成でき、その結果、高い相互コンダクタンスを得ることができる。

【0017】また、本発明においては、チャネル領域の内部あるいは近傍に絶縁層を形成することにより、チャネル容量を小さくすることができる。すなわち、MOS素子の容量は、酸化膜（ゲート絶縁膜）200の容量 $C_{ox}$ 、酸化膜200と絶縁層300との間の半導体層700の容量 $C_s$ 、絶縁層300の容量 $C_{box}$ および絶縁層3

00より下の半導体層の容量 $C_{sub}$ との直列和で表される。そして、素子全体の容量は最も小さな容量に支配されるため、絶縁層300の容量 $C_{ox}$ を小さく設定することによって、チャネル容量を絶縁層300を設けない場合に比べて小さくすることができ、その結果、しきい値電圧を下げる事が可能となる。

【0018】また、本発明の半導体装置においては、チャネル領域の電位を基板側から固定できることから、ソース領域ードレイン領域間のオフ耐圧も従来のデバイスと同程度に確保される。

【0019】前記絶縁層は、一般的に用いられるSOI技術によって作成することができる。これらの方法については、後に詳述する。

【0020】また、前記絶縁層は、連続した膜状の構造、あるいは分割された島状の構造であってもよい。そして、前記絶縁層はチャネル領域内のチャネルが形成される領域に近接し、かつチャネルの形成を阻害しない領域にあることが望ましく、例えば半導体基板の表面から約0.5 $\mu m$ の深さより浅い位置にあることが望ましい。

【0021】以上説明したように、本発明によれば、MOSゲート構造を有する半導体装置において、従来構造のデバイスに比べて、チャネル容量を小さくでき、したがって低いゲート電圧で大きなドレイン電流を得ることができるため、高い相互コンダクタンスを得ることができる。さらに、本発明の半導体装置によれば、オン電圧を従来のデバイスに比べて低減でき、さらに、オフ耐圧も従来と同程度に確保することができる。

【0022】

【発明の実施の形態】

（第1の実施の形態）図3には、本発明に係るnチャネルMOSTランジスタの基本構造が模式的に示されている。この実施の形態においては、MOSTランジスタ1000は、p型のシリコン基板10に、p型のボディ領域18が形成されている。ボディ領域18の表面側には、n型の不純物拡散層からなるソース領域12およびドレイン領域14が所定の間隔を置いて形成されている。また、シリコン基板10上には、前記ソース領域12およびドレイン領域14の間に位置するように、ゲート絶縁膜20が形成されている。ゲート絶縁膜20の直下のボディ領域18は、チャネル領域16を構成する。そして、このチャネル領域16の内部に絶縁層40が形成されている。この絶縁層40は、ゲート絶縁膜20に対向して、つまりチャネル領域16内に形成されるチャネルの方向に沿って形成されている。さらに、前記ソース領域12およびドレイン領域14の表面には、それぞれソース電極32およびドレイン電極34が形成されている。

【0023】このような構成のMOSTランジスタ1000においては、基本的な動作は一般的なMOSTランジスタと同様に、ゲート電極30に印加される電圧を制

御することによって、チャネル領域16にnチャネルが形成され、ソース領域12とドレイン領域14とが導通し、ドレイン電流が流れる。そして、ドレイン電流はドレイン電極34に印加される電圧に比例して流れる。

【0024】さらに、チャネル領域16に絶縁層40を有することにより、前述したように、絶縁層40を有さない構造に比べてチャネル容量を小さくでき、同じゲート電圧を加えた状態でより多くのドレイン電流を得ることが可能となる。したがって、ドレイン電流IDとゲート電圧VGとの比( $ID/VG$ )で表される相互コンダクタンスが高くなる。

【0025】本実施の形態に係るMOSトランジスタ1000は、一般的に用いられるMOSトランジスタの製造方法に、SOI技術を組み合わせることによって製造することができる。

【0026】絶縁層40の構造は、SOI(Silicon On Insulator)技術を用いて実現することができる。

【0027】図5(a)はSOI構造の作成技術の一つである、はり合わせ法を用いた絶縁層の埋め込み形成法を示す図であり、図5(b)はSIMOX法(酸素イオン注入法)を用いた絶縁層の埋め込み形成法を示す図であり、図5(c)はSPE法(再結晶化法)を用いた絶縁層の形成法を示す図である。

【0028】図5(a)のはり合わせ法を用いた場合は、中央にリセス(窪み)を設けた、一部加工したシリコン基板400とシリコン基板500とを、酸素ガス雰囲気中で熱処理を行いながら張り合わせることで、絶縁層( $SiO_2$ 膜)40が埋め込まれたSOI基板600を形成する。

【0029】すなわち、酸素ガス雰囲気中の熱処理によって中央のリセス部分でシリコンの酸化が行われ、 $SiO_2$ 膜40が形成される。シリコンは酸化されることによって体積膨張するため、生成された $SiO_2$ 膜40がリセス部分を埋めることになる。これによって、絶縁層( $SiO_2$ 膜)40が埋め込まれたSOI基板600が得られる。

【0030】この場合、シリコン基板500の厚みL1を選択することにより、絶縁層40の深さを制御することができる。

【0031】図4(b)のSIMOX法を用いた場合は、シリコン基板420上にマスク材440を形成し、選択的に酸素イオンを注入し、マスク材440を取り除いた後、熱処理によって酸素イオンを活性化させて、シリコン基板420に埋め込まれた絶縁層( $SiO_2$ 膜)40を形成するものである。

【0032】この方法では、酸素イオンの注入深さ(L2)を制御することによって、絶縁層の深さを制御することができる。

【0033】図4(c)のSPE法(再結晶化法)を用

いた場合は、シリコン基板440上に選択的に絶縁層50を形成しておき、多結晶シリコン層460を成膜し、続いて熱処理を行って多結晶シリコン層460を再結晶化して絶縁層( $SiO_2$ 膜)40が埋め込まれたSOI基板440を形成するものである。

【0034】この方法では、多結晶シリコン層460の厚みL3を制御することによって、絶縁膜の深さを制御することができる。

【0035】次に、本実施の形態に係るMOSトランジスタについて行った実験結果について述べる。図4には、本実施の形態に係るMOSトランジスタおよび比較例についてコンピュータシミュレーションによって求めた、ゲート電圧VGと、ドレイン電流IDとの関係が示されている。図4において、符号aで示す曲線が本実施の形態に係るサンプル特性を示し、符号bで示す曲線が比較例の特性を示す。比較例は絶縁層40を有さない以外は本実施の形態のサンプルと同様の構成を有する。サンプルとして使用した素子のサイズは以下の通りである。

【0036】すなわち、ソース領域12およびドレイン領域14の拡散深さは、約0.3 $\mu m$ である。ゲート絶縁膜20の膜厚はゲート絶縁膜200nmである。ゲート電極30の長さは約2 $\mu m$ である。絶縁層40は、厚さ100nm、長さ1.6 $\mu m$ で、基板表面から約0.1 $\mu m$ の深さの位置に形成されている。

【0037】図4から、本実施の形態に係るMOSトランジスタは、線形動作領域において、比較例に比べ最大約100%、そのドレイン電流が増えていることがわかる。

【0038】(第2の実施の形態)図6には、本発明に係るMOSトランジスタ素子の基本構造が模式的に示されている。この実施の形態のMOSトランジスタゲート絶縁膜2000は、その基本的構造は前記第1の実施の形態と同じであり、ソース領域12およびドレイン領域14の下部に、さらに絶縁層を設けた点で異なる。それ以外の構成については、詳細な記載を省略する。

【0039】すなわち、MOSトランジスタゲート絶縁膜2000においては、チャネル領域16と接して形成される第1の絶縁層40と、ソース領域12およびドレイン領域14の下端に接する状態で形成される第2の絶縁層42、44とが形成されている。前記第1の絶縁層40を設けることにより、前述した第1の実施の形態の絶縁層40と同様に、絶縁層を形成しない場合比べ、同じゲート電圧を加えた状態でより多くのドレイン電流を得ることができ、高い相互コンダクタンスを得ることができる。

【0040】さらに、ソース領域12およびドレイン領域14の下端部、つまりこれらの領域に接する状態で、シリコン基板10のボディ領域18に第2の絶縁層42、44がそれぞれ形成されることにより、ソース領域

12およびドレイン領域14とボディ領域18との接合面積を小さくすることができる。その結果、シリコン基板10側へ向かって流れるリーク電流を小さくすることができ、電力損失を低減することができる。

【0041】次に、本実施の形態に係るMOSトランジスタについて行った実験結果について述べる。図7には、本実施の形態に係るMOSトランジスタおよび比較例についてコンピュータシミュレーションによって求めた、ゲート電圧 $V_G$ と、ドレイン電流 $I_D$ との関係が示されている。図7において、符号aで示す曲線が本実施の形態に係るサンプル特性を示し、符号bで示す曲線が比較例の特性を示す。比較例は絶縁層40を有さない以外は本実施の形態のサンプルと同様の構成を有する。サンプルとして使用した素子のサイズは以下の通りである。

【0042】すなわち、ソース領域12およびドレイン領域14の拡散深さは、約 $0.3\mu\text{m}$ である。ゲート絶縁膜20の膜厚はゲート絶縁膜200nmである。ゲート電極30の長さは約 $2\mu\text{m}$ である。第1の絶縁層40は、厚さ100nm、長さ $1.6\mu\text{m}$ で、基板表面から約 $0.1\mu\text{m}$ の深さの位置に形成されている。また、第2の絶縁層42, 44は、厚さ100nm、長さ $1.6\mu\text{m}$ で、基板表面から約 $0.1\mu\text{m}$ の深さの位置に形成されている。

【0043】図7から、本実施の形態に係るMOSトランジスタは、線形動作領域において、比較例に比べ最大約100%、そのドレイン電流が増えていることがわかる。さらに、図7から、ゲート電圧が低い領域では、本発明の実施例は比較例に比べてドレイン電流が小さく、このことから実施例ではリーク電流成分が比較例に比べて小さいことがわかる。

【0044】(第3の実施の形態)図8には、本発明に係るパワーMOSトランジスタの要部の基本構造が模式的に示されている。本実施の形態に係るMOSトランジスタ3000は、ドレイン領域14を構成するn<sup>+</sup>型のシリコン基板上にn<sup>+</sup>型のエピタキシャル領域15が形成されて、シリコン基板10を構成している。そして、エピタキシャル領域15の表面部にはp<sup>+</sup>型のボディ領域18が形成され、このボディ領域18の表面にはn<sup>+</sup>型のソース領域12が形成されている。シリコン基板10の表面には、前記ソース領域12に隣接する位置にゲート絶縁膜20が形成されている。このゲート絶縁膜20の直下の部分は、チャネル領域16を構成している。そして、このチャネル領域16内には絶縁層40が形成されている。さらにゲート絶縁膜20の上にはゲート電極30が、ソース領域12およびドレイン領域14の表面にはそれぞれソース電極32およびドレイン電極34が形成されている。

【0045】このMOSトランジスタ3000においては、ゲート電極30に印加される電圧を制御することに

よって、チャネル領域16にnチャネルが形成され、ソース領域12とドレイン領域14とが導通され、シリコン基板10の厚さ方向(縦方向)にドレイン電流が流れる。そして、ドレイン電流はドレイン電極34に印加される電圧に比例して流れる。

【0046】本実施の形態においても、前述した第1の実施の形態と同様に、チャネル領域16に絶縁層40を有することにより、絶縁層40を有さない構造に比べてチャネル容量を小さくでき、同じゲート電圧を加えた状態でより多くのドレイン電流を得ることが可能となり、したがって、高い相互コンダクタンスを得ることができる。

【0047】(第4の実施の形態)図9には、本発明に係るUMOSトランジスタの要部の基本構造が模式的に示されている。この実施の形態に係るMOSトランジスタ4000は、ドレイン電流が基板の上下方向に流れる縦型である点で前記第3の実施の形態と基本的には同じであるが、ゲート電極がトレンチ構造を有する点で前記第3の実施の形態と異なっている。

【0048】すなわち、ドレイン領域14を構成するn<sup>+</sup>型シリコン基板およびこの基板上に形成された高抵抗層であるn<sup>+</sup>型のエピタキシャル領域15とからシリコン基板10が構成されている。そして、エピタキシャル領域15の表面部にp<sup>+</sup>型のボディ領域18が形成され、このボディ領域18の表面にn<sup>+</sup>型のソース領域12が形成されている。そして、シリコン基板10には縦方向にトレンチ状のゲート絶縁膜20(図9には一部のみを示す)が形成され、その内部にゲート電極30が形成されている。そして、前記ゲート絶縁膜20表面にチャネル領域16が形成され、このチャネル領域16に沿って絶縁層40が形成されている。すなわち、絶縁層40は前記ゲート絶縁膜20に対向する状態で形成されている。

【0049】このMOSトランジスタ4000においても、前記第3の実施の形態と同様に、ゲート電極30に印加される電圧を制御することによって、チャネル領域16にnチャネルが形成され、ソース領域12とドレイン領域14とが導通され、シリコン基板10の厚さ方向(縦方向)にドレイン電流が流れる。

【0050】本実施の形態においても、前述した第1の実施の形態と同様に、チャネル領域16に絶縁層40を有することにより、絶縁層40を有さない構造に比べてチャネル容量を小さくでき、同じゲート電圧を加えた状態でより多くのドレイン電流を得ることが可能となり、したがって、高い相互コンダクタンスを得ることができる。

【0051】(第5の実施の形態)図10には、本発明に係るMOSトランジスタが適用された縦型のMOS・バイポーラ複合トランジスタ(IGBT; Insulated Gate Bipolar Transist



or)の要部の基本構造が模式的に示され、図11には、その等価回路が示されている。このIGBT5000は、MOSトランジスタ(M1)とPNPトランジスタQ1とがインバーテッドダーリントン接続した複合トランジスタである。なお、図11において、符号Q2は寄生PNPトランジスタを示す。前述した第3の実施の形態に係るMOSトランジスタ3000との断面構造上の相違は、デバイスの最下層にp<sup>+</sup>型のシリコン層17が設けられていることである。

【0052】すなわち、本実施の形態に係るIGBT5000は、コレクタ領域を構成するp<sup>+</sup>型のシリコン層17上に、n<sup>+</sup>型のシリコン層54(14)およびn<sup>+</sup>型のエピタキシャル領域15が形成されて、シリコン基板10を構成している。そして、エピタキシャル領域15の表面部にはp<sup>+</sup>型のボディ領域18が形成され、このボディ領域18の表面にはn<sup>+</sup>型のエミッタ領域52(12)が形成されている。シリコン基板10の表面には、前記エミッタ領域52に隣接する位置にゲート絶縁膜20が形成されている。このゲート絶縁膜20の直下の部分は、チャネル領域16を構成している。そして、このチャネル領域16内には絶縁層40が形成されている。さらに、ゲート絶縁膜20の上にはゲート電極30が、エミッタ領域52およびコレクタ領域17の表面にはそれぞれエミッタ電極62およびコレクタ電極64が形成されている。

【0053】このIGBT5000においては、ゲート電極30の電圧を制御することにより、チャネル領域16にnチャネルが形成され、エミッタ領域52からチャネルを通して電子がコレクタ領域17に流れる。それに対応してコレクタ領域17から正孔が注入されるので、n<sup>+</sup>型のシリコン層54に伝導度変調が起こり、オン抵抗が低下する。したがって、IGBTはMOSトランジスタに比較して高耐圧に適したデバイスである。

【0054】本実施の形態においても、前述した第1の実施の形態と同様に、チャネル領域16に絶縁層40を有することにより、絶縁層40を有さない構造に比べてチャネル容量を小さくでき、同じゲート電圧を加えた状態でより多くのドレイン電流を得ることが可能となり、したがって、高い相互コンダクタンスを得ることができる。

【0055】なお、本発明は、図10に示したプレーナ構造のIGBTに限定されず、トレンチゲートを用いたIGBTにも適用できる。

【0056】以上の例では、本発明をnチャネルMOSトランジスタ適用した場合について述べたが、同様にp

チャネルMOSトランジスタにも適用でき、同様の作用効果が得られる。さらに、本発明のMOSトランジスタにおいては、オン電圧を低減でき、また従来のデバイスと同程度のオフ耐圧を確保できる。

【0057】

【図面の簡単な説明】

【図1】理想MOS構造の金属層に電圧を加えた状態でのエネルギーバンドを示す図である。

【図2】本発明の半導体装置の作用を説明するためのエネルギーバンドを示す図である。

【図3】本発明の第1の実施の形態に係るMOSトランジスタの基本構造を模式的に示す断面図である。

【図4】図3に示すMOSトランジスタと比較例について求めた、ゲート電圧とドレイン電流との関係を示すである。

【図5】(a)～(c)は、絶縁層の製造例をそれぞれ示す図である。

【図6】本発明の第2の実施の形態に係るMOSトランジスタの基本構造を模式的に示す断面図である。

【図7】図6に示すMOSトランジスタおよび比較例について求めた、ゲート電圧とドレイン電流との関係を示すである。

【図8】本発明の第3の実施の形態に係る縦型のパワーMOSトランジスタの基本構造を模式的に示す断面図である。

【図9】本発明の第4の実施の形態に係るトレンチゲート型のパワーMOSトランジスタの基本構造を模式的に示す断面図である。

【図10】本発明の第5の実施の形態に係るIGBTの基本構造を模式的に示す断面図である。

【図11】図10に示すIGBTの等価回路である。

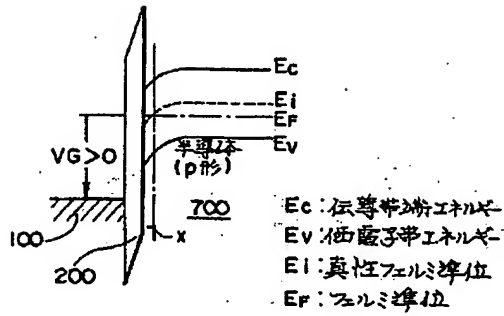
【図12】従来の一般的なMOSトランジスタの基本構造を模式的に示す断面図である。

【符号の説明】

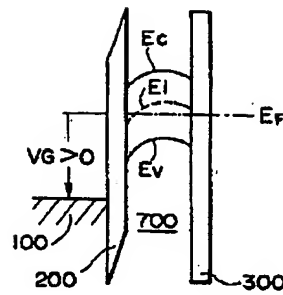
- 10 シリコン基板
- 12 ソース領域
- 14 ドレイン領域
- 16 チャネル領域
- 18 ボディ領域
- 20 ゲート絶縁膜
- 30 ゲート電極
- 32 ソース電極
- 34 ドレイン電極
- 40 絶縁層



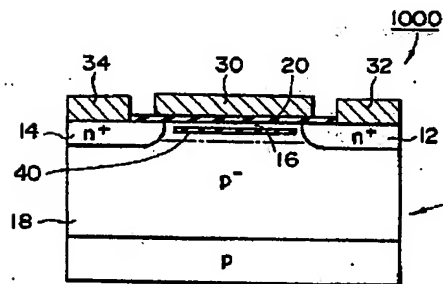
【図1】



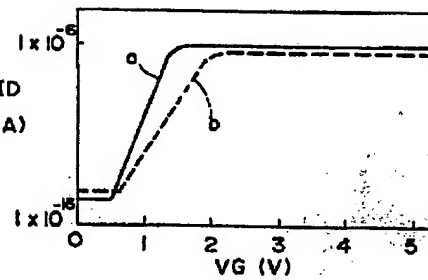
【図2】



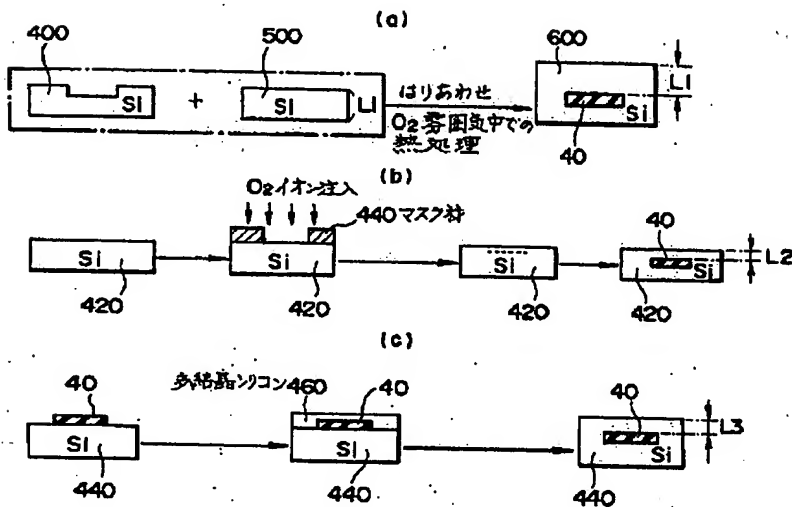
【図3】



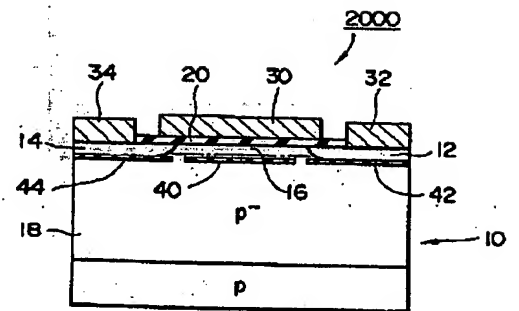
【図4】



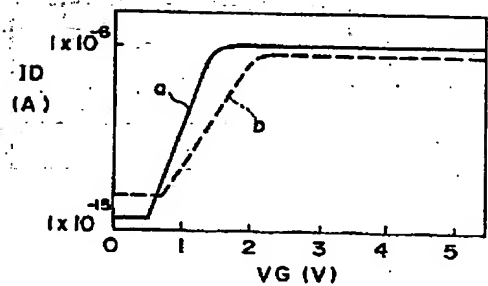
【図5】



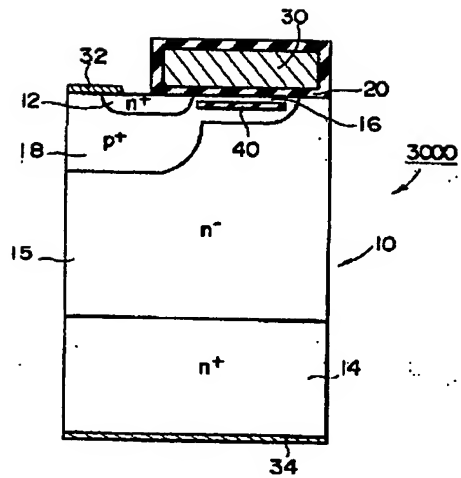
【図6】



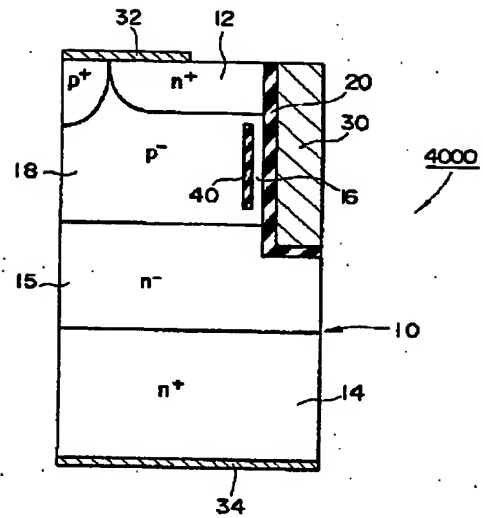
【図7】



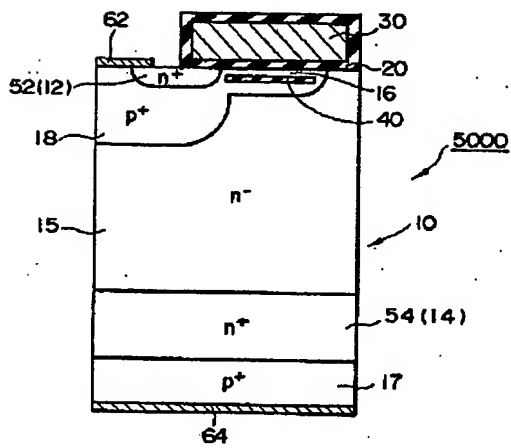
【図8】



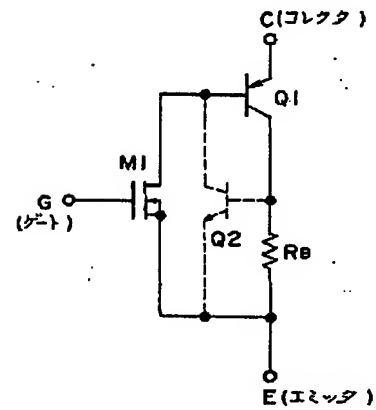
【図9】



【図10】



【図11】



【図12】

